

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(43) Date of publication of application: 26.03.96

G11C 11/409
H01L 27/04
H01L 21/822
// H03F 3/45

(71) Applicant: **FUJITSU LTD**

(72) Inventor: FUJIOKA SHINYA

temporarily flows, increasing the operation speed of the differential amplifier while suppressing increase of current consumption.

COPYRIGHT: (C)1996,JPO

The figure consists of two schematic diagrams. The top diagram is a logic-level representation of the 74VHC125. It shows an input IN connected to a buffer consisting of a double inverter (DL) and an inverter (I1). The output of the buffer is connected to the input of a NAND gate (T1). The other input of T1 is connected to VCC. The output of T1 is connected to the input of another NAND gate (T2). The other input of T2 is connected to VCC. The output of T2 is connected to the output CLK1. There is also a feedback path from CLK1 through an inverter (I2) back to the input of T1. The bottom diagram is a detailed CMOS schematic. It shows a PMOS network with transistors Q1, Q2, Q3, and Q4 in series, connected to VCC. The NMOS network has transistors Q5 and Q6 in series, connected to VSS. The gates of Q1 and Q2 are connected to the input IN. The gates of Q3 and Q4 are connected to the output CLK1. The gates of Q5 and Q6 are connected to the input IN. There is a third transistor Q7 connected to the output CLK1 and VSS. The schematic also shows nodes n1, n2, and n3, and a reference voltage VREF.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-83488

(43) 公開日 平成8年(1996)3月26日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所
G 1 1 C 11/409
H 0 1 L 27/04
21/822

G 1 1 C 11/ 34 3 5 4 A
H 0 1 L 27/ 04 M

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-217186

(22) 出願日 平成6年(1994)9月12日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 藤岡 伸也

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 石田 敬 (外3名)

(54) 【発明の名称】 差動増幅回路及びそれを使用した半導体集積回路

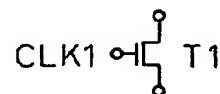
(57) 【要約】

【目的】 本発明は、消費電流の増加を抑えたまま差層増幅回路の動作速度を向上させることを目的とする。

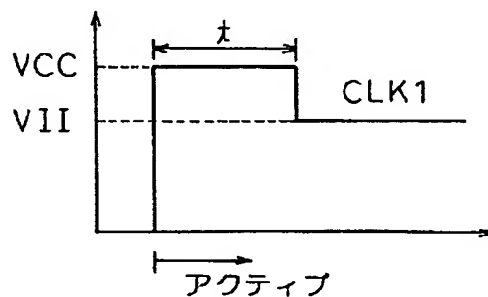
【構成】 負荷トランジスタTD1, TD2:Q1, Q2 とゲートに入力信号が印加されるトランジスタT11:Q5とを直列に接続した第1の直列回路と、第1の直列回路と略同一の特性を有し第1の直列回路と並列に接続された第2の直列回路TD3, TD4, T12:Q3, Q4, Q6と、第1の直列回路と第2の直列回路に直列に接続され、活性化信号が印加された時に導通状態になる電流制限回路TG:Q7 とを備え、活性状態で、2つの入力信号の差を増幅して出力する差動増幅回路において、電流制限回路は、活性化信号が活性状態に切り変わった時に一時的に大きな第1の電流量を流し、その後活性化信号が活性状態にある時には第1の電流量より小さい第2の電流を流す。

本発明の第1実施例

(1) 回路



(2) 駆動信号波形



【特許請求の範囲】

【請求項 1】 負荷トランジスタ（T D 1、T D 2：Q 1、Q 2）と、ゲートに入力信号が印加されるトランジスタ（T I 1：Q 5）とを直列に接続した第 1 の直列回路と、

該第 1 の直列回路と略同一の特性を有し、前記第 1 の直列回路と並列に接続された第 2 の直列回路（T D 3、T D 4、T I 2：Q 1、Q 2、Q 6）と、

並列に接続された前記第 1 の直列回路と前記第 2 の直列回路に直列に接続され、活性化信号が印加された時に導通状態になる電流制限回路（T G：Q 7）とを備え、前記活性化信号が前記電流制限回路に印加された状態で、前記第 1 の直列回路と前記第 2 の直列回路に入力される 2 つの入力信号の差を増幅して出力する差動増幅回路において、

前記電流制限回路は、前記活性化信号が活性状態に切り変わった時に一時的に大きな第 1 の電流量を流し、その後前記活性化信号が非活性状態にある時には前記第 1 の電流量より小さい第 2 の電流を流すことを特徴とする差動増幅回路。

【請求項 2】 前記電流制限回路はゲートに前記活性化信号が印加されるトランジスタ（T 1）であり、前記活性化信号（C L K 1）は、非活性状態の時には前記トランジスタをオフ状態にさせ、活性状態に切り変わった時に前記トランジスタに前記第 1 の電流量の電流が流れるように一時的に大きな第 1 の電圧になり、その後前記トランジスタに前記第 2 の電流量の電流が流れるように前記第 1 の電圧より小さい第 2 の電圧になることを特徴とする請求項 1 に記載の差動増幅回路。

【請求項 3】 前記電流制限回路は、ゲートに第 1 の活性化信号が印加される第 1 のトランジスタ（T 2 A）と、ゲートに第 2 の活性化信号が印加される第 2 のトランジスタ（T 2 B）を並列に接続した回路であり、前記第 1 の活性化信号（C L K 2 A）は、非活性状態の時には前記第 1 のトランジスタをオフ状態にさせ、活性状態の時には前記第 1 のトランジスタをオン状態にさせ、

前記第 2 の活性化信号（C L K 2 B）は、非活性状態の時には前記第 2 のトランジスタをオフ状態にさせ、活性状態の所定期間のみ前記第 2 のトランジスタをオン状態にさせ、活性状態の残りの期間は前記第 2 のトランジスタをオフ状態にさせることを特徴とする請求項 1 に記載の差動増幅回路。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の差動増幅回路を備えることを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路等で使用される差動増幅回路及びそれを回路の一部に使用した

半導体集積回路に関し、特に消費電力低減のために差電圧が入力される入力部に直列に接続され、非活性状態ではオフ状態になる電流制限回路を有する差動増幅回路及びそれを回路の一部に使用した半導体集積回路に関する。

【0002】

【従来の技術】MOSLSIでは、データバス等のバス対の差電位を増幅する回路が広く使用される。従来はインバータを使用したフリップフロップ回路が使用されてきたが、この回路では入力インピーダンスが低いため、グリッチ耐性等に問題があった。このような問題を解決するため、従来は入力インピーダンスの大きなCMOS差動増幅回路を使用していた。更に、CMOS差動増幅回路においては、DCロード等の振幅を制限する方法を併用することで、高速化が実現された。

【0003】図13はこの目的で使用される差動増幅回路ブロックを示す図である。図において、IN1とIN2は入力を、OUTは出力を、Avは差動増幅回路の増幅率を示す。2つの入力IN1とIN2の差ΔVに対して、Av×ΔVの出力OUTが得られる。図14は差動増幅回路として使用される従来の代表的な回路例を示す図である。

【0004】図14に示すように、入力IN1がゲートに印加される第1のトランジスタTI1は、並列に接続されたPMOSTランジスタTP1とTP2に直列に接続され、第1の直列回路を構成する。同様に入力IN2がゲートに印加される第2のトランジスタTI2は、並列に接続されたPMOSTランジスタTP3とTP4に直列に接続され、第2の直列回路を構成する。TP2、TP3をカレントミラーとすることで、第1、第2の直列回路に同じ電流を流すことができる。また、能動負荷としてはたらくため、回路のゲインを高くすることができる。また、TI1、TI2は、その特性が等しくなるようにする必要がある。第1及び第2の直列回路は並列に接続され、更に、電流制限回路を構成するトランジスタTGが直列に接続される。TGがオン状態の時には、TGに一定の電流が流れ、入力IN1とIN2によって、第1と第2の直列回路に流れる電流の比率が変化し、入力IN1とIN2の差ΔVに対応した電位変化が出力OUTに現れる。

【0005】クロック信号CLKが「高（H）」である時、図14の回路には、定常的に電流が流れ、消費電力が大きい。そこで、この回路を使用しない時には、クロック信号CLKを「低（L）」にして、電流制限回路のTGをオフ状態にして、貫通電流が流れないようにして、消費電力を低減している。また、nol、no2がフローティングにならないようにTP2、TP3でVINNTにショートする。使用する場合には、クロック信号CLKが「H」になり、動作状態になる。図14の回路を使用した半導体集積回路では、クロック信号CLKは

外部より入力されてチップが活性状態（アクティブ）状態になり、図 1 4 の差動増幅回路もアクティブ状態になる。

【0006】

【発明が解決しようとする課題】図 1 4 の回路において、クロック信号 CLK「L」で、回路が非活性（スタンバイ）状態の時、出力 OUT のノードは電源電圧 VINT にプリチャージされている。従って、クロック信号 CLK が「H」になり、回路がアクティブ状態に変化した場合、差動入力が増幅されるまで時間がかかることになる。

【0007】図 1 5 は、スタンバイ状態からアクティブ状態に切り換わる場合の、各ノードの電位変化を示す図である。出力 OUT のノードは電源電圧 VINT にプリチャージされているため、クロック信号 CLK が「H」になってから所定のレベルになるまである程度時間を要する。また、図 1 4 のような差動増幅回路の応答性は、電流制限回路の流す電流量に依存している。電流制限回路の流す電流量を大きくすれば差動増幅回路の応答は速くなるが、回路に流れる電流量が大きくなる。電流制限回路の電流値は、チップトータルの消費電流の規格で上限が制限される。

【0008】半導体集積回路では、消費電力の低減と共に、応答性、すなわち動作速度の向上も求められている。本発明はこのような点に鑑みてなされたものであり、差動増幅回路において、消費電力を低くしたまま、動作速度を向上させることを目的とする。

【0009】

【課題を解決するための手段】本発明の差動増幅回路は、負荷トランジスタと、ゲートに入力信号が印加されるトランジスタとを直列に接続した第 1 の直列回路と、第 1 の直列回路と略同一の特性を有し、第 1 の直列回路と並列に接続された第 2 の直列回路と、並列に接続された第 1 の直列回路と前記第 2 の直列回路に直列に接続され、活性化信号が印加された時に導通状態になる電流制限回路とを備え、活性化信号が電流制限回路に印加された状態で、第 1 の直列回路と前記第 2 の直列回路に入力される 2 つの入力信号の差を増幅して出力する差動増幅回路であり、上記目的を達成するため、電流制限回路は、活性化信号が活性状態に切り換わった時に一時的に大きな第 1 の電流量を流し、その後活性化信号が活性状態にある時には第 1 の電流量より小さい第 2 の電流を流すことを特徴とする。

【0010】

【作用】図 1 は本発明の原理を説明する図であり、電流制限回路に流れる電流の変化を示す。図 1 に示すように、電流制限回路の流す電流量を大きくすれば差動増幅回路の応答は速くなるが、電流量を大きくするとチップトータルの電流が増加し、その最大値 ICCI を抑えることができなくなる。そこで、本発明では、電流制限回

路が、活性化信号が活性状態に切り換わった時に一時的に大きな第 1 の電流量を流し、その後活性化信号が活性状態にある時には第 1 の電流量より小さい第 2 の電流を流すようにする。活性状態に切り換わった直後、電流制限回路に一時的に大きな電流が流れるようにすれば応答は速くなる。活性状態に切り換わった後、出力が安定した状態になれば電流制限回路に流れる電流が小さくても応答性の問題はない。消費電流は活性状態に切り換わった直後一時的に増加するが、その後は従来と同程度であり、活性状態全体に渡っての消費電流の増加は最小限に抑えられる。

【0011】以上のように、本発明では、電流制限回路に流れる電流を一時的に高めることで、スタンバイ状態からアクティブ状態への移行を高速に行えるようにしている。また、差動増幅回路の遮断周波数が高められるので、回路の周波数特性を示すゲイン G と遮断周波数 f_c の積であるゲインバンド幅 (GBW) も大きくすることができる。

【0012】

【実施例】第 1 実施例は、図 1 4 の電流制限回路のトランジスタ TG に使用する回路である。図 2 は本発明の第 1 実施例の回路を示す図であり、(1) が回路を、

(2) がその駆動信号波形を示す。図 2 に示すように、本実施例では、図 1 4 の回路と同様に、N チャンネル型トランジスタを使用するが、そのゲートに印加されるクロック信号 CLK1、すなわち活性化信号は、図 2 の (2) に示すように、アクティブ状態に変化した直後の短い時間 t だけは電源電圧 VCC になるが、所定時間経過した後は内部電源電圧 V_{II} になる。N チャンネル型トランジスタのゲートに印加する電圧に応じて流れる電流が変化するから、この回路に流れる電流も図 1 のように変化することになる。

【0013】図 3 は、第 1 実施例におけるクロック信号 CLK1 を発生させる回路である。図 3 の回路において、入力 IN からクロック信号を入力させると、遅延部 DL で遅延されたクロック信号と、クロック信号の否定論理積をとることにより、NAND ゲートの出力は図 2 の時間 t の期間のみ「L」になる。この NAND ゲートの出力は、PMOSFET のゲートに供給され、この時間 t の期間のみ PMOSFET を介して出力部のインバータ I2 の電源に内部電源電圧 VINT より高い電源電圧 VCC が供給されることになる。入力されたクロック信号は 2 個のインバータ I1 と I2 を経て出力されるので、出力されるクロック信号 CLK1 は、上記の期間 t のみ高い電圧になる図 2 に示す信号になる。

【0014】上記のように、クロック信号 CLK1 が高い電圧電源電圧 VCC になる期間 t は、遅延部 DL での遅延量によって決定される。図 4 は、遅延部 DL の回路を示す図であり、3 個のインバータを接続した構成であり、途中に接続される抵抗要素の個数をレーザトリミン

グで設定することにより、遅延量が決定される。図3の回路では、NANDゲートの出力が「H」レベルに変化した時、PMOSFETをカットオフ状態にするが、NANDゲートの出力は内部電源電圧VINTレベルであり、電源電圧VCCの電源線に接続されるPMOSFETを完全にはカットオフできず、貫通電流が流れることがあり得るという問題がある。この問題は、無視できる場合もあるが、これを改善するため、NAND回路の出力が高いレベルになるようにレベルシフタを用いたクロック信号発生回路の変形例を図5に示す。

【0015】図5の回路は、レベルシフタを用いた点を除けば図3の回路をほぼ同様の動作を行うので、詳しい説明は省略する。図5の回路においても、クロック信号CLK1が高い電圧電源電圧VCCになる期間tは、遅延部DLでの遅延量によって決定される。この遅延部にも図4の回路が使用できるが、他の遅延回路も使用でき、図6は遅延部DLの他の回路例を示す図であり、2個のインバータを接続した構成であり、途中に接続される抵抗要素及び容量要素の個数をレーザトリミングで設定することにより、遅延量が決定される。

【0016】第2実施例は、図14の電流制限回路のトランジスタTGに使用する回路である。図7は本発明の第2実施例の回路を示す図であり、(1)が回路を、

(2)がその駆動信号波形を示す。図7に示すように、本実施例では、2個のNチャンネル型トランジスタを使用し、それぞれのゲートにクロック信号CLK2AとCLK2Bが印加されるようにする。図2の(2)に示すように、クロック信号CLK2Aは、アクティブ状態では「H」、スタンバイ状態では「L」の信号であり、クロック信号CLK2Bは、アクティブ状態に変化した直後の短い時間tだけは「H」であり、それ以外は「L」の信号である。この時間tの期間だけは、2個のNチャンネル型トランジスタがオン状態になるため、2つを合わせた大きな電流が流れるが、それ以外のアクティブ状態では、一方のNチャンネル型トランジスタのみがオン状態になるため、流れる電流が小さくなり、図1に示すような消費電流が得られる。

【0017】図8は、第2実施例におけるクロック信号CLK2AとCLK2Bを発生させる回路である。V*としては内部電源電圧VINTが供給される。図8の回路においては、入力INからクロック信号を反転させた信号を入力させると、インバータで反転されてクロック信号CLK2Aが出力される。また、入力INから入力された信号は、図3と同様に、遅延部DLで遅延されたクロック信号と、NANDゲートで否定論理積をとられ、NANDゲートの出力、すなわちCLK2Bは図2の時間tの期間のみ「H」になる。

【0018】図8の回路においても、図3の回路と同様に、クロック信号CLK2Bが「H」になる期間tは、遅延部DLでの遅延量によって決定される。この遅延部

DLにも図4の回路が使用できる。図1のように電流制限回路の電流を変化させるため、第1実施例では、トランジスタのゲートに印加する電圧を変化させ、第2実施例では並列に接続されたトランジスタの動作する個数を変化させたが、これらを合わせて図1のように電流制限回路の電流を変化させることも可能である。

【0019】第3実施例は、図7の第2実施例の回路を使用し、クロック信号CLK2AとCLK2Bとして図9に示すような信号を供給する。図9のようなクロック信号CLK2AとCLK2Bを発生させるためには、図8の回路において、V*として電源電圧VCCを供給する。図9のような回路で、V*として電源電圧VCCを供給した場合、第1実施例で説明したのと同様の理由で、NANDゲートのPMOSFETを完全にはカットオフできず、貫通電流が流れるという問題が生じることがあり得る。そこで、この場合も、図10に示すように、レベルシフタを用いるようにしてもよい。

【0020】次に、本発明の差動増幅回路を適用した半導体記憶装置(メモリ)について説明する。図11は本発明の差動増幅回路を適用したDRAMの全体構成を示すブロック図である。図11に示すように、DRAMは、RAS系周辺回路と、CAS系周辺回路と、センス系回路と、内部降圧回路と、メモリセルアレイとで構成される。

【0021】メモリセルアレイはマトリクス状に配置され、ワード線とビット線に接続された複数のメモリセルで構成される。／RASが入力され、クロック発生回路でRAS系の信号を発生する。この時、RAS系信号が発生する前に／CASが入力されていた場合、モード判定回路でセルフリフレッシュモードと判定される。RAS系の信号がアドレスバッファに入力されると、外部アドレスが取り込まれる。取り込まれた外部アドレスはデコードされ、メモリセルアレイに到達し、ワード線選択を行う。選択されたワード線に接続されたメモリセルは、読み出し時は保持データをビット線に出力し、センスバッファで差動増幅し、書き込み時は外部より入力されたデータに対応し、センスバッファで増幅されたビット線の情報をメモリセルに入力する。

【0022】／CASが入力され、クロック発生回路でCAS系の信号が発生する。発生した信号がアドレスバッファに到達すると、コラムアドレスが取り込まれる。取り込まれたコラムアドレスが、行アドレスデコーダへ到達すると、1又はそれ以上のビット線対が選択される。ビット線対には、読み出し時には行アドレスで選択されたワード線に接続されているメモリセル情報を読み出し、書き込み時には外部データに対応した情報がセンスバッファで増幅される。

【0023】データの読み出し／書き込みは、外部信号の／WE(ライトイネーブル)によって決まる。／WEが「H」でデータを読み出し、「L」でデータの書き込

みが行われる。本発明はDRAMを構成する回路で、差動増幅回路を使用する部分すべてに適用可能である。差動増幅回路を使用するものとしては、内部降圧回路、データセンス回路がある。内部降圧回路を例として、適用例を説明する。

【0024】内部降圧回路は、チップがスタンバイ動作時に使用するスタンバイ用降圧回路と、アクティブ動作時に使用するアクティブ用降圧回路を別々に用意する。アクティブ用降圧回路は、 \overline{RAS} が「L」の時のみ動作する。スタンバイ用降圧回路は常時動作するので、消費電流を低く抑える。活性化信号（クロック信号）が活性化状態になった時に、アクティブ用降圧回路が動作可能状態になるまで遅延が生じる。そこで、アクティブ用降圧回路は、本発明を適用したものとし、動作可能状態になるまでの時間を短くする。

【0025】図12はアクティブ用降圧回路を示す図である。図12のアクティブ用降圧回路では、スタンバイ時には、ノードn1とn2がVCC、n3が $V_{IH} - V_{thn}$ （Q5、Q6の閾値電圧）であり、Q2、Q3、Q5、Q6がオフ状態である。これらがオン状態になるまでこの差動増幅回路は動作しない。このオフ状態からオン状態になるまでの時間はQ7が流す電流に依存する。Q7にこれまで説明した第1乃至第3実施例の回路を適用することで、この差動増幅回路がスタンバイ状態からアクティブ状態になるまでの時間を短縮できる。

【0026】なお、スタンバイ状態からアクティブ状態になる時だけでなく、アクティブ時に、内部での大きな負荷変動により内部電圧が大きく変動する場合に、本発明のように、差動増幅回路の消費電流を増加させることで、内部電圧の安定動作と低消費電力化が可能である。以上のように、本発明を適用することにより、半導体集積回路において、消費電力を抑えつつ、動作速度を向上させることができ、メモリであれば、データアクセスの高速化が可能である。

【0027】

【発明の効果】以上説明したように、本発明によれば、消費電流の増加を抑えたまま差動増幅回路の増幅能力を高め、動作速度を向上させることが可能である。更に、本発明をLSIに適用すれば、消費電流の抑制とデータセンス及びアクセスの高速化が可能である。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の第1実施例の回路及び駆動信号波形を示す図である。

【図3】第1実施例のクロック信号発生回路を示す図である。

【図4】図4のクロック信号発生回路でパルス幅を調整する回路を示す図である。

【図5】第1実施例のクロック信号発生回路の変形例を示す図である。

【図6】図5のクロック信号発生回路でパルス幅を調整する回路を示す図である。

【図7】本発明の第2実施例の回路及び駆動信号波形を示す図である。

【図8】第2実施例のクロック信号発生回路を示す図である。

【図9】第3実施例の駆動信号波形を示す図である。

【図10】第3実施例のクロック信号発生回路の変形例を示す図である。

【図11】本発明を適用したDRAMの全体構成を示す図である。

【図12】図11のDRAMの内部降圧回路を示す図である。

【図13】差動増幅回路を示す回路ブロックである。

【図14】従来の差動増幅回路を示す回路図である。

【図15】従来の差動増幅回路における遅延の発生を説明する図である。

【符号の説明】

1…通常メモリセルアレイ

2…冗長メモリセルアレイ

3…コラムデコーダ

4…冗長コラムデコーダ

8…制御回路

9…バースト・アドレス・カウンタ

10…アドレス切り換え回路

11…判定結果切り換え回路

21a、21b、22…冗長判定回路

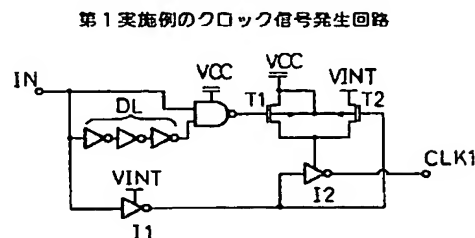
12…入力切り換え回路

13…判定結果保持回路

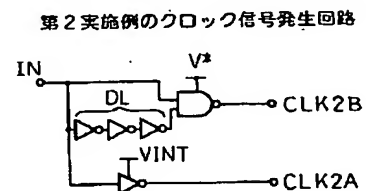
【図1】



【図3】



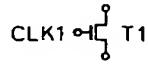
【図8】



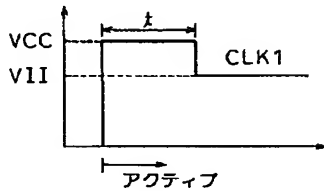
【図 2】

本発明の第 1 実施例

(1) 回路

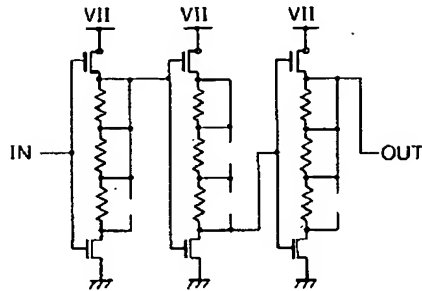


(2) 駆動信号波形



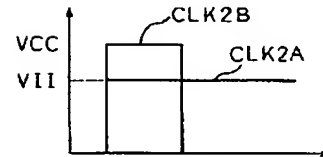
【図 4】

図 3 の回路のパルス幅調整回路



【図 9】

第 3 実施例の駆動信号波形



【図 6】

【図 5】

第 1 実施例のクロック信号発生回路の変形例

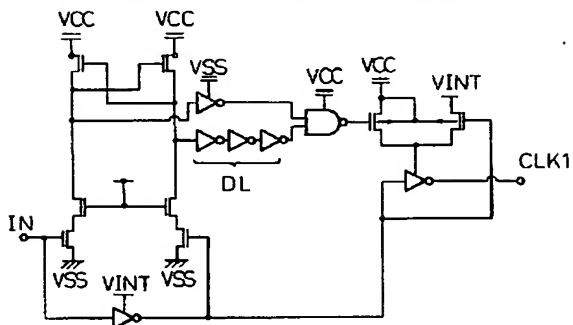
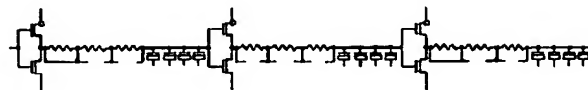
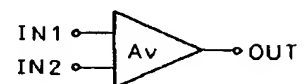


図 5 の回路のパルス幅調整回路



【図 13】

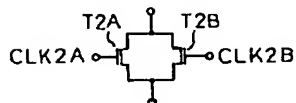
差動増幅回路



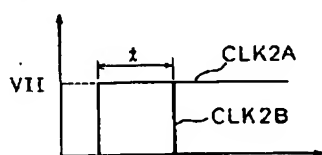
【図 7】

本発明の第 2 実施例

(1) 回路

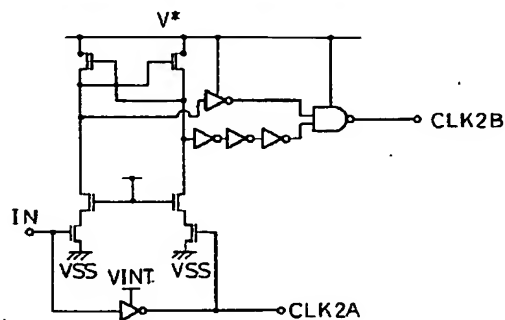


(2) 駆動信号波形



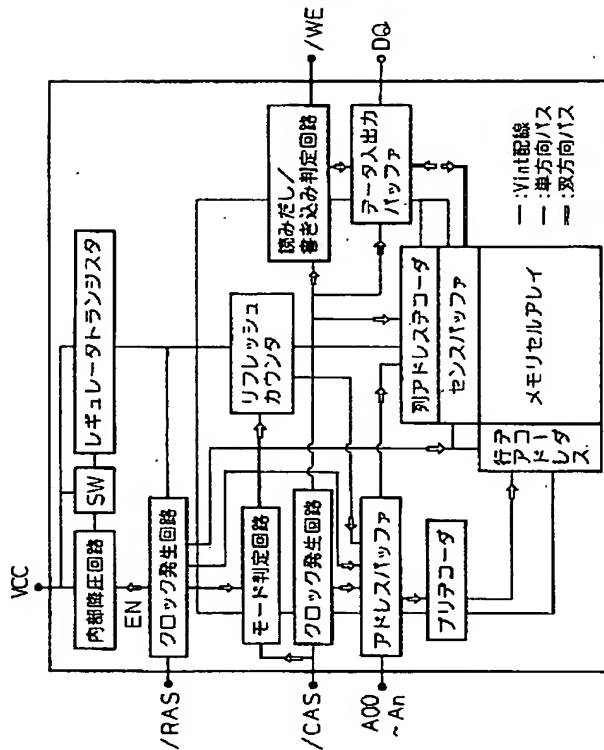
【図 10】

第 3 実施例のクロック信号発生回路の変形例



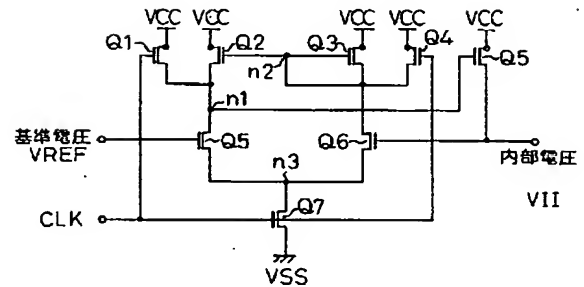
【図 1 1】

本発明を適用したDRAMの全体構成



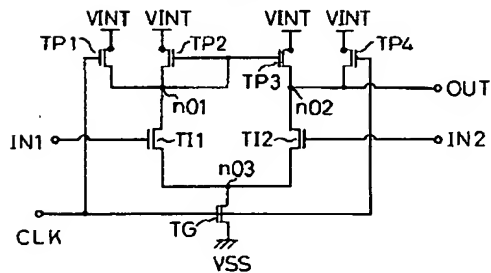
【図 12】

図11のDRAMの内部降圧回路
(アクティブ動作)



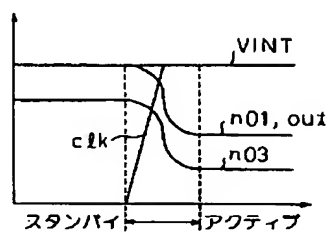
【図 14】

従来の差動増幅回路



【図 15】

遅延の発生の説明図



フロントページの続き

(51) Int.Cl.⁶

識別記号

庁内整理番号

FI

技術表示箇所

// H 0 3 F 3/45